

Diseño de un sintetizador para equipos de resonancia magnética empleando FPGA

A.Sóñora

Aspirante a Investigador. Ing. en Telecomunicaciones y Electrónica.
Centro de Biofísica Médica. Ave. Patricio Lumumba s/n, Santiago de Cuba.
Email: alexander@cbm.uo.edu.cu

RESUMEN

En este trabajo se presenta el diseño de un oscilador basado en FPGA por el método de síntesis digital directa. El sintetizador diseñado es capaz de generar una señal sinusoidal cuya frecuencia puede llegar hasta 4MHz con una precisión de 0.0033Hz. La frecuencia de la sinusoide se controla mediante una palabra de incremento de fase de 32 bits y se puede fijar en un intervalo no menor de 350ns. La pureza espectral que se puede obtener es superior a 60dB. Este diseño, realizado para tomógrafos de Resonancia Magnética, ocupa alrededor de un 97% de los recursos lógicos internos del dispositivo, incluyendo las funciones de control del sintetizador.

Palabras clave: síntesis digital directa, FPGA, resonancia magnética

ABSTRACT

This paper exposes the design of a direct digital synthesizer in FPGA. This design can generate a sine wave output up to 4MHz with 3,33mHz of precision. The frequency is set by 32bit word of phase increment in 350ns. The spectral purity is grater than 60dB. The design was made for Magnetic Resonance scanners and uses a 97% of logic resources of the device. Functions for the synthesizer control are implemented in the same chip.

Key words: digital direct synthesis, FPGA, Magnetic Resonance.

1. INTRODUCCIÓN

Los tomógrafos de Resonancia Magnética (RM) permiten obtener imágenes de diversas partes del cuerpo. Una parte importante de estos equipos es el oscilador central que genera la señal portadora para la excitación y detección [1].

Este bloque puede ser implementado de forma analógica, pero su realización de forma digital tiene las ventajas inherentes de los sistemas digitales. El oscilador digital genera una secuencia de números en el dominio del tiempo que reproduce un espectro de salida deseado. Por lo general se implementa mediante síntesis digital directa (SDD) [2].

Un sistema SDD trabaja sobre el principio de que una forma de onda digitalizada se puede generar acumulando cambios de fase a una frecuencia mayor o igual al doble de la razón de Nyquist. Con estos se obtienen señales de alta pureza espectral y cambios de frecuencia rápidos sin saltos de fase. Los sistemas SDD están constituidos básicamente por un acumulador de fase y un conversor fase-amplitud (CFA). (Figura 1)

Para generar una frecuencia, el incremento de fase es inicialmente cargado en un registro de entrada de W bits, luego se incrementa en el acumulador de fase con cada ciclo de reloj, definiendo la frecuencia según:

$$f_o = \Delta\phi \cdot f_s / 2^W \quad (I)$$

donde: f_s : Frecuencia de muestreo

$\Delta\phi$: Incremento de fase

W : Número de bits del acumulador

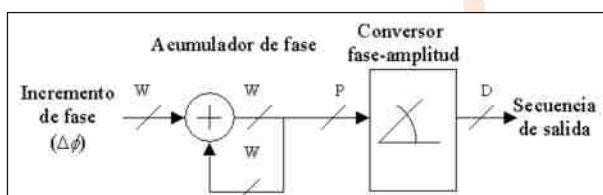


Fig.1. Esquema de funcionamiento de un sistema de SDD

De los W bits del acumulador solo los P más significativos se emplean en el CFA (truncado de fase) para reducir el tamaño del CFA, que usualmente es una memoria. Este procedimiento da lugar a la aparición de componentes espectrales no deseadas a la salida (*spurious noise*). El peor caso aparece cuando $\Delta\phi$ es un múltiplo impar de 2^{W-P-1} y se define por:

$$WCSM \approx 6.02P(dB) \quad \text{Para } W-P > 4. \quad (II)$$

Los elementos del CFA son calculados de la siguiente forma:

$$x[i] = 2^{D-1} + 2^{D-1} \sin\left(\frac{2\pi i}{2^P}\right) \quad (III)$$

donde: $i = 0, 1, 2, \dots, 2^{P-1}$

Como los elementos del CFA tienen precisión finita (D bits) cada uno debe ser redondeado al entero más cercano. Esto se refleja en un error de cuantificación dado por:

$$SQNR(dB) = 6.02D + 1.76 \quad (IV)$$

La resolución de frecuencia está dada por el número de bits del acumulador (W) y el comportamiento frente a espurios está definido por los parámetros del CFA (P y D).

El empleo de dispositivos lógicos programables, como FPGA (Field Programmable Gate Array), posibilitan la realización de esta técnica de procesamiento digital de señales. Estos dispositivos están constituidos internamente por bloques lógicos configurables (CLB), bloques de entrada salida (IOB) y recursos de interconexión entre otros. Las funciones deseadas se implementan en los CLB que se enlazan mediante los recursos de interconexión. Los IOB son la interfaz con los terminales del componente [3].

2. OBJETIVO

Realizar el diseño de un sintetizador en un FPGA, capaz de generar frecuencias de alrededor de 4MHz con una precisión de hasta 0.1Hz, para ser empleado en un tomógrafo de RM como parte de un modulador digital.

3. MATERIALES Y MÉTODOS

3.1 Diseño del acumulador de fase

El número de bits del acumulador se obtiene de la siguiente expresión:

$$\Delta f = f_s / 2^W \quad (V)$$

donde: Δf : Resolución frecuencial

Para $\Delta f = 0.1\text{Hz}$ y fijando $f_s = 14.318\text{MHz}$ (para reducir los requerimientos del filtro de reconstrucción) se obtiene $W=28$ bits.

El sistema se diseñó empleando un FPGA XC4003epc-84 de Xilinx. Este dispositivo contiene 100 CLB organizados en una matriz 10x10 en un encapsulado de 84 pines [W1].

Se empleó un acumulador de 32 bits siendo Δf igual a 0.0033Hz para $f_s = 14.318\text{MHz}$.

3.2 Diseño del conversor ángulo amplitud

Si se quiere que el error de cuantificación sea menor o igual a 43dB entonces de (IV) la longitud de palabra del CFA (D) debe ser como mínimo 7bits.

Para que WCSM60dB de (II) P debe ser mayor o igual a 10, y entonces se necesitara una tabla con 1024 puntos. Como CAA se empleó la memoria interna de la XC4003 a modo de ROM. En esta memoria solo se guardó un cuadrante de la senoide.

La tabla se lee empleando una lógica que detecta el cuadrante correspondiente para cambiar la dirección de lectura de la memoria y el signo del seno según corresponda. Esta técnica permite una reducción en un 75% de la memoria requerida para almacenar la forma de onda completa.

3.3 Interfaz de entrada de datos.

En la Figura 2 se muestra la temporización empleada para cargar los 32 bits, de incremento de fase. El incremento de fase se carga empleando un bus de datos de 8bits (DG7), en cuatro transferencias. Luego de haberse realizado dichas transferencias, (cuando G_ENABLE pasa a "1") aparece a la salida (CDE11) la secuencia correspondiente a la senoide deseada.

4. RESULTADOS Y DISCUSIÓN

El sintetizador diseñado ocupa alrededor de un 97% de los recursos lógicos de un Xc4003epc-84.

El incremento de fase (Figura 2) se puede cargar al menos en 350ns, dependiendo de la interfaz del dispositivo que se emplee para controlar el sintetizador. En este caso el sintetizador se controló desde el puerto paralelo de una computadora personal. Luego de haberse realizado dichas transferencias, (cuando G_ENABLE pasa a "1"), las muestras de amplitud correspondientes a los valores de la senoide aparecen a la salida del sintetizador.

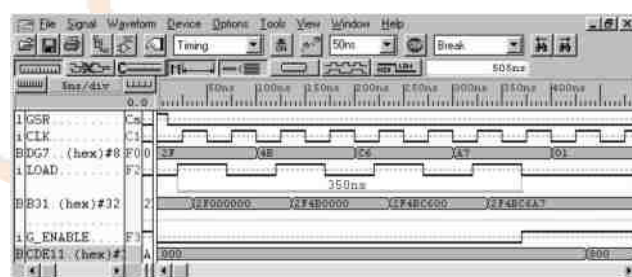


Fig. 2. Diagrama de tiempo del sintetizador

En la Figura 3 se muestra una medición realizada sobre el sintetizador diseñado.

Como se puede apreciar el espectro de la secuencia generada cumple con los parámetros para los que se diseñó el oscilador. La rapidez de cambio de frecuencia lograda es un parámetro importante, ya que en ciertos experimentos se necesita cambiar la frecuencia en pocos milisegundos [4].

Los resultados obtenidos permiten la obtención de un oscilador digital con alta precisión y con un solo componente reduciendo las posibles interferencias que puedan aparecer.

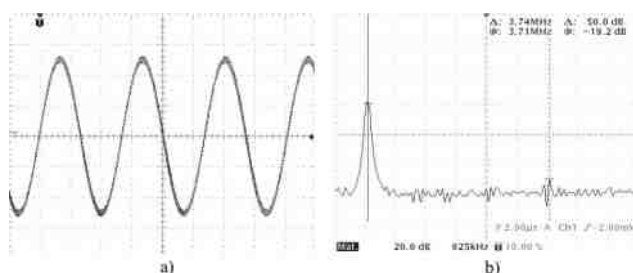


Fig. 3. Señal de 3.7117MHz generada mediante síntesis digital directa.
a: señal en el tiempo,
b: espectro de frecuencias.

5. CONCLUSIONES

Los altos desempeños de los dispositivos FPGA permiten la implementación de sistemas digitales no estándar que trabajan con señales de frecuencias de decenas de megaHertz, como es el caso de la síntesis digital directa.

Como solo se emplea una pequeña parte de la lógica disponible (alrededor de un 38%) en el circuito integrado es posible implementar otras funciones que permitan realizar, por ejemplo, la modulación de forma digital.

Estos dispositivos deben mejorar el comportamiento de los tomógrafos de RM fabricados en Cuba en cuanto a compatibilidad electromagnética. Esto se debe a que utilizando un solo circuito integrado digital se pueden realizar diversas funciones que normalmente se realizan con componentes analógicos y digitales de baja escala de integración, con los inconvenientes que esto puede traer [5].

El empleo de técnicas digitales hace que los sistemas sean menos sensibles al envejecimiento de los componentes y como necesitan menos ajustes se incrementa su reproducibilidad y acortan los tiempos de diseño abaratando los sistemas complejos [6].

Si se desea, un sistema basado en microprocesadores puede controlar al SDD ajustar dinámicamente la frecuencia según se necesite.

AGRADECIMIENTOS

A todos aquellos que contribuyeron, de una forma u otra, a la ejecución y revisión de este trabajo, especialmente, la ayuda del DrC. Evelio González Dalmau y los Ingenieros Abel Cruz Vadell y Miguel Alberteris Campos por facilitar los datos referentes a la portadora de excitación de los tomógrafos de resonancia magnética construidos en el Centro de Biofísica Médica.

6- BIBLIOGRAFÍA

- [1] C. N. Hen, D. I. Hoult, "Biomedical Magnetic Resonance Technology", Adam Hilger, Briston and New York, 1989.
- [2] Gentile, K. "Signal Synthesis and Mixed Signal Technology", RF Design, agosto, 1998
- [3] Rosado Alfredo, Guerrero Juan, Bataller Manuel, Espí José, Francés José V. "Circuitos programables FPGA. Elección de una tecnología (y II)" junio-julio 1995, Mundo Electrónico No 258.
- [4] J. Balcells, F. Daura, R. Esparza y R. Pallás, "Interferencias Electromagnéticas en Sistemas Electrónicos", Marcombo Boixarue Editores, Barcelona-Mexico, (1992).
- [5] Lynn, P.A., Fuerst, W. "Introductory Digital Signal Processing with Computer Applications." John Wiley & Sons, 1996

PÁGINAS CONSULTADAS

W1- Xilinx Inc. www.xilinx.com