

IMPLEMENTACIÓN DE FILTROS DIGITALES EN FPGA

Emiliano F. Alba Blanco
Jaime Ruiz
Instituto Superior Politécnico José A. Echeverría (ISPJAE)
emiliano@electronica.cujae.edu.cu

RESUMEN

En este trabajo se plantea la metodología para el diseño de filtros adaptativos digitales del tipo LMS, utilizando un dispositivo de muy alto grado de escala de integración, de lógica reconfigurable (Field Programmable Gate Array) FPGA de Xilinx. Se muestran los pasos fundamentales para el diseño y se llega a obtener el diseño y la implementación hardware de un filtro adaptativo LMS que se puede utilizar para cualquier aplicación en tiempo real, con la disminución del ruido, la identificación de un sistema desconocido o la ecualización de un canal de comunicaciones.

Como ejemplo se obtiene un modelo de filtro adaptativo de cuatro coeficientes, el cual se utiliza para la eliminación dinámica de un tono audible de cualquier frecuencia en una señal de voz.

Palabras claves: *Procesamiento Digital de Señales, Filtro Adaptativo, FPGA, Sistema en Tiempo Real.*

ABSTRACT

In this work we propose a methodology for the design of digital adaptive filters LMS, using a device of very high scale integration, a device Field Programmable Gate Array FPGA of Xilinx. The fundamental steps are shown for the design and you end up obtaining the design and the implementation hardware of an adaptive filters LMS that you can use for any application in real time, adaptive noise cancellation, identification of an unknown system or the equalizations of a communications channel.

For example, we model adaptive filters of four coefficients, which are used for the dynamic elimination of an audible tone of any frequency in a voice sign.

The importance of the use of the technologies FPGA resides in the possibility of implementations hardware of digital systems that like in this case they will be an element of important support to carry out the investigation in digital signal processing in real time.

Key words: *digital signal processing, adaptive filters, FPGA, real time system.*

1. INTRODUCCION

El procesamiento discreto de señales es un área de la ciencia y la ingeniería que se ha desarrollado rápidamente durante los últimos 30 años. Este rápido desarrollo es el resultado de los avances tecnológicos en la fabricación de circuitos integrados y sistemas de cómputo.

El desarrollo de la microelectrónica, los circuitos integrados y la integración a muy alta escala (VLSI) ha estimulado el desarrollo de ordenadores digitales potentes, pequeños, rápidos y baratos.

La lógica reconfigurable es un escenario de diseño digital constituido por un conjunto de técnicas y herramientas hardware y software que permite el desarrollo de sistemas digitales complejos, en menor tiempo y a menor costo.

Un sistema digital puede implementarse de dos formas: por software o por hardware. La implementación software implica que las operaciones matemáticas requeridas para procesar la señal están especificadas en un algoritmo. Se pueden implementar en una PC o en un microprocesador especializado para el procesamiento de señales PDS.

La implementación hardware de filtros digitales cuenta con variadas opciones: desde un conjunto de circuitos lógicos configurados para ejecutar las operaciones deseadas, Circuitos Integrados de Aplicación Específica (ASICs) y dispositivos de lógica reconfigurable como los FPGAs.[1]

Los FPGAs permiten obtener velocidades hardware adecuadas para determinadas aplicaciones con flexibilidad al software. La posibilidad de reutilización del hardware reconfigurable disminuye su costo, puede utilizarse exactamente el mismo hardware para varias aplicaciones cambiando únicamente su programación interna.

En el presente trabajo se propone el uso de un FPGA, con las técnicas y herramientas de diseño digital avanzado, aprovechando sus ventajas en cuanto a facilidad y flexibilidad de desarrollo, menores costos, en combinación además, con herramientas de simulación y diseño de filtros para la implementación de filtros digitales adaptativos en hardware.

Los filtros adaptativos, son sistemas que tienen la capacidad de adaptarse a las condiciones cambiantes que puede haber en el entorno. Un filtro adaptativo implementado en FPGA tendría la ventaja de que se puede utilizar para realizar el procesamiento discreto de una señal en tiempo real.[2]

2. FILTRO ADAPTATIVO

Un filtro digital puede ser un sistema lineal e invariante en el tiempo (sistema LTI), al que se le aplica una señal con determinada conformación espectral y se obtiene a su salida una señal con una conformación espectral modificada de acuerdo a una función de transformación o función de conformación espectral.[3]

Los filtros digitales LTI se pueden clasificar en dos grandes grupos, de respuesta infinita al impulso IIR y de respuesta finita al impulso FIR. Un esquema de un filtro FIR de Wiener se muestra en la fig. 1.

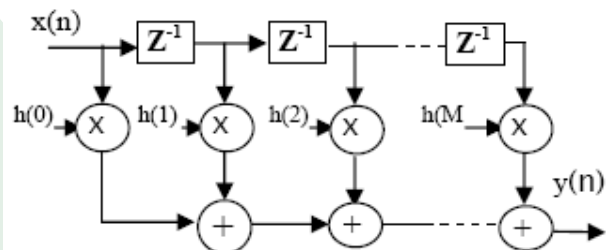


Fig. 1 Filtro digital LTI del tipo FIR de orden M

La señal de salida se obtiene a través de su ecuación diferencial dada por:

$$y(n) = \mathbf{h}^T \mathbf{x}(n) \quad (I)$$

Donde

$$\mathbf{h}^T = \{h(0) \ h(1) \ h(2) \ \dots \ h(M)\}$$

$$\mathbf{x}(n) = \{x(n) \ x(n-1) \ x(n-2) \ \dots \ x(n-M+1)\}^T$$

Un filtro adaptativo es un sistema digital compuesto por un filtro lineal programable de entrada $x(n)$ y salida $\hat{y}(n)$, ese filtro puede ser IIR o FIR, los coeficientes se reprograman de una muestra a la siguiente a través de un algoritmo de adaptación, los coeficientes cambian su valor dinámicamente en el tiempo por lo que si el filtro lineal es de tipo IIR puede ser inestable, por lo que se utilizan más frecuentemente sistemas lineales FIR que son incondicionalmente estables.

El esquema general de un sistema adaptativo se muestra en la fig. 2

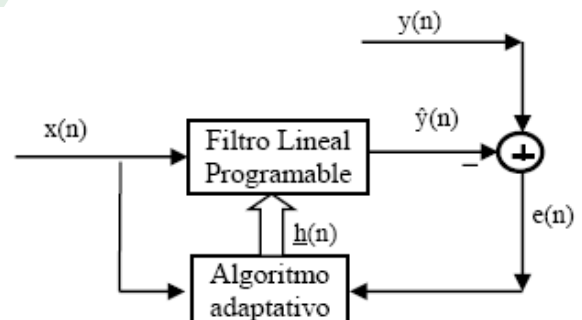


Fig. 2. Esquema general de un filtro adaptativo

Los coeficientes h del filtro lineal se ajustan de una muestra a la otra según la ecuación [II]

$$\underline{h}(n+k) = \underline{h}(n) + q\{\underline{x}(n), \hat{y}(n), e(n)\} \quad [\text{II}]$$

La función q es la función de ponderación entre los coeficientes actuales y los de la próxima muestra, esta función depende del error $e(n)$, de la entrada $x(n)$ y de la salida del filtro programable $\hat{y}(n)$, si los coeficientes no dependen de la salida, se pueden utilizar sistemas FIR que es el caso que se tratará. El error se obtiene como la diferencia:

$$e(n) = y(n) - \hat{y}(n) \quad [\text{III}]$$

Las características más importantes de un algoritmo adaptativo son :

1. Complejidad computacional
2. Estabilidad
3. Velocidad inicial de convergencia
4. Consistencia de la velocidad de convergencia con variaciones en el condicionamiento de la señal
5. Habilidad para seguir características variables en el tiempo
6. Robustez (inmunidad) al ruido

Los filtros adaptativos tienen cuatro formas de aplicación:

1. Identificar sistemas desconocidos
2. Ecuación de sistemas
3. Predicción
4. Cancelación de interferencia

El filtro adaptativo no es más que un filtro óptimo, es de todo el conjunto de filtros lineales posibles el que minimiza el error medio cuadrático. Si se utiliza el algoritmo de mínimos cuadrados. Least Mean Square (LMS) se llega a obtener una estimación de la solución de la ecuación de Wiener-Hopf obteniéndose los coeficientes del filtro adaptativo del tipo LMS según:

$$h(k+1) = h(k) + 2\mu e(k)x(k) \quad [\text{IV}]$$

Es la función de actualización de los coeficientes del filtro FIR adaptativo.

3. TECNOLOGIA FPGA

Se trata de dispositivos electrónicos digitales programables de muy alta escala de integración. Están formados por un arreglo de bloques lógicos configurables (CLBs) colocados en una infraestructura de interconexiones programable. Es

posible programar la funcionalidad de cada CLB, las interconexiones entre éstos y las conexiones entre entradas y salidas cuantas veces se desee.[4]

Los elementos básicos de un FPGA son:

- Bloques lógicos configurables (CLBs)
- Bloques de entrada/salida configurables (IOBs)
- Matrices de interconexión programable (M)

La estructura básica de un FPGA se muestra en la figura 3:

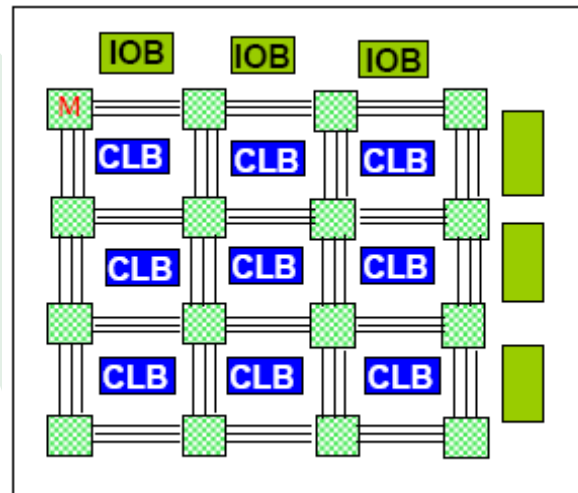


Fig. 3 Estructura básica de un FPGA

La celda lógica básica CLB típica de un FPGA consiste en una tabla de búsqueda (lookup table, LUT) de varias entradas, y un almacenador, ver la fig. 4, tiene una sola salida, que puede ser la salida almacenada o no de la memoria (LUT). La celda lógica tiene entradas para la LUT y una entrada de reloj.

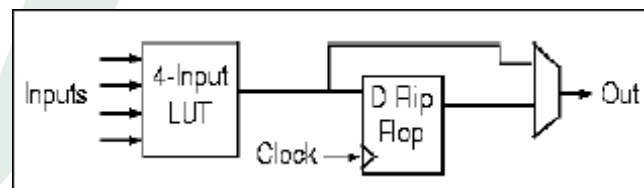


Fig. 4 Esquema básico de un CLB

El nivel inmediato superior de las celdas básicas de los FPGAs de Xilinx es el SLICE, generalmente un slice contiene dos celdas básicas.

Otros elementos que pueden estar integrados en los FPGAs actuales son:

- Bloques de memoria RAM (BRAMs)
- Circuitos manipuladores de reloj

- Multiplicadores
- Procesadores

FPGAs modernos soportan reconfiguración parcial o total in-system. Esto permite modificar los diseños dinámicamente para realizar actualizaciones del sistema o para reconfiguración dinámica como parte normal del funcionamiento del sistema. [5]

En el trabajo se utiliza el FPGA XC3S200, de la familia Spartan-3 de Xilinx, que tiene las siguientes características:

- 200.000 compuertas
- 192 bloques lógicos configurables (CLBs)
- 30 Kbits de memoria RAM distribuida
- 216 Kbits de bloques de memoria RAM
- 12 multiplicadores
- 173 pines de I/O disponibles para el usuario

Para la programación del FPGA se utiliza ISE (Integrated System Environment) de Xilinx el cual permite la creación de diseños de principio a fin para CPLDs y FPGAs. Este entorno ofrece un flujo inteligente de desarrollo con opciones dependientes del contexto en que se encuentre e incorpora una gran cantidad de herramientas que permiten realizar los procesos de descripción, síntesis, implementación y programación del FPGA con muy diversas opciones, además de incorporar facilidades para la simulación y verificación en las diferentes etapas del desarrollo.[8,9]

4. IMPLEMENTACIÓN

Para la implementación del filtro adaptativo se usa la configuración que se muestra en la figura 5. [7]

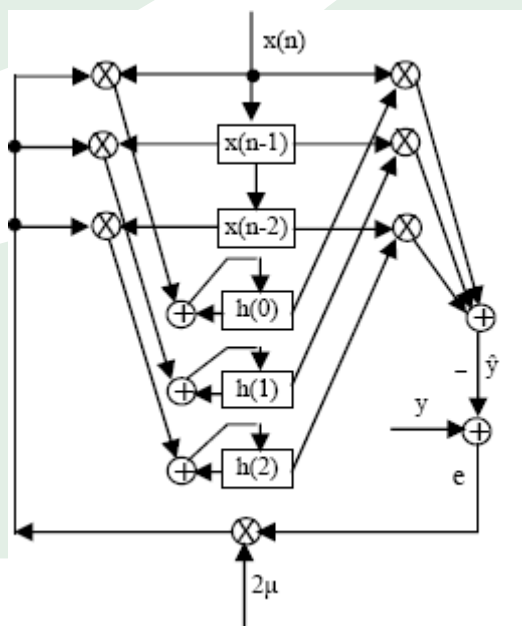


Fig. 5 Esquema básico usado para el filtro adaptativo, formado por registros para las muestras de señal y para los coeficientes h .

La implementación del filtro adaptativo consiste prácticamente en llevar esta estructura mediante la codificación VHDL al FPGA.[6]

Los coeficientes h iniciales del filtro son cero, con el flanco de subida del reloj se obtiene la salida del filtro y con el flanco de bajada se aplica el algoritmo de adaptación para los coeficientes h , se produce el desplazamiento de las muestras de la señal y se prepara el filtro para la próxima muestra con los nuevos coeficientes.

Esto hace que con un pulso de reloj se realice un ciclo de actualización de los coeficientes y el filtrado de la señal de entrada. El funcionamiento para las aplicaciones clásicas del filtro adaptativo es muy eficiente. Si se quiere implementar un filtro Notch adaptativo, se demuestra que se puede implementar con solo dos coeficientes h por lo que es factible su aplicación.

Como ejemplo se aplica una señal compuesta por la suma de dos senos y poniéndole uno de los dos senos se obtiene el otro.

Otro ejemplo es eliminar un tono de una señal de audio de cualquier amplitud, fase y frecuencia, tomando como referencia una señal sinusoidal cualquiera.

5. RESULTADOS

Para observar el comportamiento del filtro se implementa el sistema que se muestra en la figura 6. A la entrada se tiene una señal compuesta por dos ondas sinusoidales de diferente frecuencia y magnitud, una de las componentes debe ser eliminada.

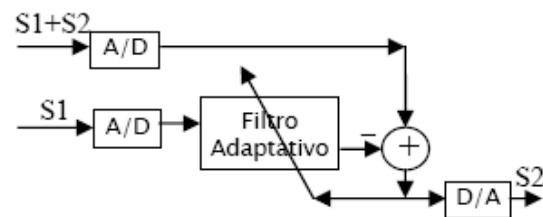


Fig. 6. $S1+S2$ suma de dos senos, $S1$ seno de una frecuencia, $S2$ respuesta del filtro.

El resultado se puede observar en la figura 7, la parte superior muestra la señal compuesta y la parte inferior es la salida del sistema.

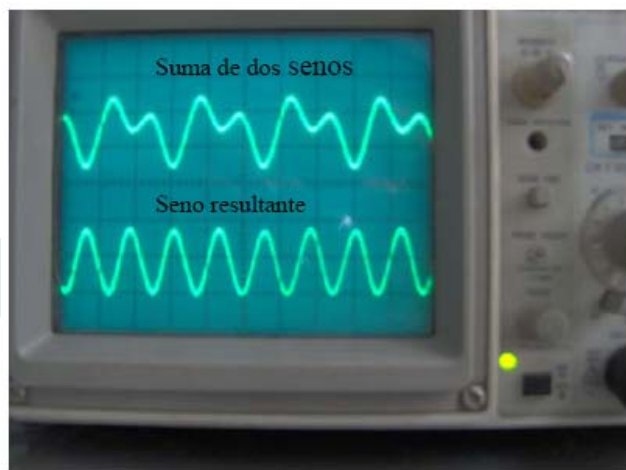


Figura 7. La señal de entrada es la suma de dos senos y la de salida es uno solo de los senos.

Es interesante notar que la señal de referencia entre más correlacionada sea con la señal a eliminar el resultado pretendido es de mejor calidad.

6. CONCLUSIONES

La importancia del uso de las tecnologías reconfigurables en este caso los FPGA radican en la posibilidad de implementaciones hardware de sistemas digitales de cualquier tipo, y será un apoyo importante en investigaciones en el campo del procesamiento digital de señales en tiempo real.

7. GLOSARIO DE TÉRMINOS

LMS-Tipo de Filtro Adaptativo

PDS-Procesador Digital de Señales

LTI-Tipo de Filtro Digital, sistema lineal invariante en el tiempo

IIR-Tipo de Filtro Digital de respuesta infinita al impulso

FIR-Tipo de Filtro Digital de respuesta finita al impulso

BIBLIOGRAFIA

[1] Proakis, Jhon G. Tratamiento digital de señales. Madrid: Prentice Hall, 1.998.

[2] Simon Haykin :Adaptative Filter Theory, Prentice Hall 2002, Cuarta edición.

[3] Boaz Porat, A course in digital signal processing. United States: Jhon Wiley & Sons, inc, 1997.

[4] Torres, César. La lógica reconfigurable en el diseño de sistemas digitales. <http://ecce.buap.mx/~ctorres>. 2007.

[5] Torres, Gildo. Análisis y evaluación de un módulo de Propiedad Intelectual del microcontrolador 8051. Trabajo de diploma, Instituto Superior José Antonio Echeverría, La Habana, 2006.

[6] Aguilar, Eduardo Lahuerta. Implementación de un filtro digital enVHDL. 443597@ingtt.unizar.es.

[7] Tratamiento digital de señales.

<http://www.tecnun.com/asignaturas/tratamienti%20digital/trametds5.html>. 2007.

[8] www.xilinx.com. 2007

[9] www.mathworks.com. Filter Design Toolbox. 2007